



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0083525  
Application Number

출원 년 월 일 : 2002년 12월 24일  
Date of Application DEC 24, 2002

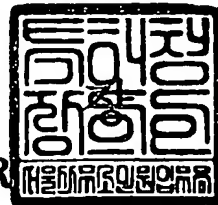
출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 10 월 16 일

특 허 청

COMMISSIONER





**【서지사항】**

<b>【서류명】</b>	특허출원서
<b>【권리구분】</b>	특허
<b>【수신처】</b>	특허청장
<b>【참조번호】</b>	0003
<b>【제출일자】</b>	2002.12.24
<b>【발명의 명칭】</b>	반도체 제조 공정중 듀얼 다마신 패턴 형성 방법
<b>【발명의 영문명칭】</b>	dual damascene pattern forming method during semiconductor manufacturing progress
<b>【출원인】</b>	
<b>【명칭】</b>	동부전자 주식회사
<b>【출원인코드】</b>	1-1998-106725-7
<b>【대리인】</b>	
<b>【성명】</b>	서만규
<b>【대리인코드】</b>	9-1998-000260-4
<b>【포괄위임등록번호】</b>	2001-066005-7
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	남상우
<b>【성명의 영문표기】</b>	NAM, Sang Woo
<b>【주민등록번호】</b>	691007-1550710
<b>【우편번호】</b>	361-240
<b>【주소】</b>	충청북도 청주시 흥덕구 개신동 개신주공2차아파트 210-203
<b>【국적】</b>	KR
<b>【취지】</b>	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 서만규 (인)
<b>【수수료】</b>	
<b>【기본출원료】</b>	15      면                      29,000    원
<b>【가산출원료】</b>	0      면                      0    원
<b>【우선권주장료】</b>	0      건                      0    원
<b>【심사청구료】</b>	0      항                      0    원
<b>【합계】</b>	29,000    원
<b>【첨부서류】</b>	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

이 발명은 반도체 제조 공정중 듀얼 다마신 패턴 형성 방법에 관한 것으로, 비아홀 형성후, 에싱 공정에서 포토레지스트의 리플로우 현상을 이용해 비아홀 내에 포토레지스트를 충전함으로써, 제조 공정을 단순화시킬 수 있도록, 구리층, 질화막, 배선간 절연막, 질화막 및 배선간 절연막이 순차적으로 형성된 반도체의 상면에 마스크 역할을 하도록 일정크기의 윈도우를 갖는 포토레지스트를 도포하는 단계와, 상기 반도체를 건식 또는 습식 식각 공정에 의해 상기 포토레지스트의 윈도우와 대응되는 영역에 상기 질화막까지 비아홀을 형성하고, 이어서 고온의 에싱 공정을 수행하여 상기 포토레지스트가 리플로우되면서 상기 비아홀에 충전되도록 하고, 이어서 비아홀 내측의 포토레지스트를 제외한 나머지 포토레지스트를 제거하는 단계와, 상기 비아홀의 크기보다 큰 크기의 윈도우를 갖도록 마스크 역할을 하는 포토레지스트를 상기 배선간 절연막에 도포하는 단계와, 상기 반도체를 건식 또는 습식 식각 공정에 의해 상기 포토레지스트의 윈도우와 대응되는 영역에 상기 질화막까지 트렌치를 형성하는 트렌치 식각 단계와, 상기 포토레지스트를 제거하는 단계로 이루어진 것을 특징으로 함.

**【대표도】**

도 2a

**【색인어】**

반도체, 듀얼 다마신, 포토레지스트, 비아홀, 트렌치

## 【명세서】

## 【발명의 명칭】

반도체 제조 공정중 듀얼 다마신 패턴 형성 방법{dual damascene pattern forming method during semiconductor manufacturing progress}

## 【도면의 간단한 설명】

도1a 및 도1b는 종래 반도체 제조 공정중 듀얼 다마신 패턴 형성 방법을 도시한 순차 설명도이다.

도2a 및 도2b는 본 발명에 의한 반도체 제조 공정중 듀얼 다마신 패턴 형성 방법을 도시한 순차 설명도이다.

-도면중 주요 부호에 대한 설명-

- |            |             |
|------------|-------------|
| 10; 반도체    | 11; 구리층     |
| 12; 질화막    | 13; 배선간 절연막 |
| 14; 질화막    | 15; 배선간 절연막 |
| 16; 포토레지스트 | 17; 윈도우     |
| 18; 비아홀    | 19; 트렌치     |
| 26; 포토레지스트 | 27; 윈도우     |

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 반도체 제조 공정중 듀얼 다마신 패턴 형성 방법에 관한 것으로, 더욱 상세하게 설명하면 비아홀(via hole) 형성후, 에싱(ashing) 공정에서 포토레지스트(photo resist)의 리플로우(reflow) 현상을 이용해 비아홀 내에 포토레지스트를 충전함으로써, 제조 공정을 단순화시킬 수 있는 반도체 제조 공정중 듀얼 다마신 패턴 형성 방법에 관한 것이다.
- <11> 도1a 및 도1b를 참조하면, 종래 반도체 제조 공정중 듀얼 다마신 패턴 형성 방법이 순차적으로 도시되어 있다.
- <12> 도시된 바와 같이 종래 반도체 제조 공정중 듀얼 다마신 패턴 형성 방법은 구리층(11'), 질화막(12'), 배선간 절연막(13'), 질화막(14') 및 배선간 절연막(15')이 순차적으로 형성된 반도체(10')의 상면에 마스크(mask) 역할을 하도록 일정크기의 윈도우(17')(window)를 갖는 포토레지스트(16')를 도포하는 단계와(S1'), 상기 반도체(10')를 건식 또는 습식 식각 공정에 의해 상기 포토레지스트(16')의 윈도우(17')와 대응되는 영역에 상기 질화막(12')까지 비아홀(18')을 형성하는 단계와(S2'), 상기 포토레지스트(16')를 에싱 장비에서 고온으로 에싱하여 제거하는 단계와(S3'), 상기 비아홀(18')에 다른 포토레지스트(37') 또는 유기 아크(ARC)를 포토 트랙(photo track) 장비에서 충전하는 단계와(S4'), 상기 비아홀(18')의 크기보다 큰 크기의 윈도우(27')를 갖도록 마스크 역할을 하는 포토레지스트(26')를 상기 배선간 절연막(15')에 도포하는 단계와(S5'), 상기 반도체(10')를 건식 또는 습식 식각 공정에 의해 상기 포토레지스트(26')의 윈도우(27')와 대응되는 영역에 상기 질화막(14')까지 트렌치(19')를 형성하는 단

계와(S6'), 상기 포토레지스트(26')를 고온으로 에싱하여 제거하는 단계(S7')로 이루어져 있다

<13> 여기서, 상기와 같이 포토 트랙 장비에서 비아홀에 포토레지스트 또는 유기 아크를 충전하는 이유는 식각 공정중에 하부 구리층의 오염을 억제하고, 트렌치 프로파일(profile)을 양호하게 하기 위함이다.

<14> 그러나, 이러한 종래의 반도체 제조 공정중 듀얼 다마신 패턴 형성 방법은 비아홀을 형성한 후, 비아홀의 마스크인 포토레지스트를 에싱 장비에서 완전히 제거한 후, 이어서 포토 트랙 장비에서 상기 비아홀에 다시 다른 포토레지스트 또는 유기 아크를 충전함으로써, 불필요하게 제조 공정수가 증가되고, 이에 따라 반도체의 오염 확률도 증가되는 단점이 있다.

<15> 또한, 포토 트랙 장비에서 미세한 비아홀에 포토레지스트 등을 충전함으로써, 상기 비아홀에 포토레지스트의 보이드(void)가 빈번하게 발생하거나 불완전하게 충전되는 문제가 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<16> 따라서, 본 발명은 상기와 같은 종래의 단점 및 문제점을 해결하기 위해 안출한 것으로, 본 발명의 목적은 비아홀 형성후, 에싱 공정에서 포토레지스트의 리플로우 현상을 이용해 비아홀 내에 포토레지스트를 충전함으로써, 반도체 제조 공정을 단순화시킬 수 있는 반도체 제조 공정중 듀얼 다마신 패턴 형성 방법을 제공하는데 있다.

#### 【발명의 구성 및 작용】

<17> 상기한 목적을 달성하기 위해 본 발명에 의한 반도체 제조 공정중 듀얼 다마신 패턴 형성 방법은 구리층, 질화막, 배선간 절연막, 질화막 및 배선간 절연막이 순차적으로 형성된 반

도체의 상면에 마스크 역할을 하도록 일정크기의 윈도우를 갖는 포토레지스트를 도포하는 단계와, 상기 반도체를 건식 또는 습식 식각 공정에 의해 상기 포토레지스트의 윈도우와 대응되는 영역에 상기 질화막까지 비아홀을 형성하고, 이어서 고온의 예싱 공정을 수행하여 상기 포토레지스트가 리플로우되면서 상기 비아홀에 충전되도록 하고, 이어서 비아홀 내측의 포토레지스트를 제외한 나머지 포토레지스트를 제거하는 단계와, 상기 비아홀의 크기보다 큰 크기의 윈도우를 갖도록 마스크 역할을 하는 포토레지스트를 상기 배선간 절연막에 도포하는 단계와, 상기 반도체를 건식 또는 습식 식각 공정에 의해 상기 포토레지스트의 윈도우와 대응되는 영역에 상기 질화막까지 트렌치를 형성하는 트렌치 식각 단계와, 상기 포토레지스트를 제거하는 단계로 이루어진 것을 특징으로 한다.

<18> 여기서, 상기 비아홀에 포토레지스트가 리플로우되면서 충전되도록 하는 단계는 시간 3~20초, 온도 150~300℃, 압력 0.5~5Torr, O<sub>2</sub> 주입량 500~10000(ions/cm<sup>2</sup>), N<sub>2</sub> 주입량 0~1000(ions/cm<sup>2</sup>), 파워 200~2000W로 하여 비아홀 형성시 발생한 폴리머를 제거하는 공정과, 시간 10~200초, 온도 150~300℃, 압력 0.5~5Torr, O<sub>2</sub> 주입량 500~10000(ions/cm<sup>2</sup>), N<sub>2</sub> 주입량 0~1000(ions/cm<sup>2</sup>), 파워 0W로 하여 비아홀에 포토레지스트가 리플로우되어 충전되도록 하는 공정과, 시간 5~20초, 온도 150~300℃, 압력 0.5~5Torr, O<sub>2</sub> 주입량 500~10000(ions/cm<sup>2</sup>), N<sub>2</sub> 주입량 0~1000(ions/cm<sup>2</sup>), 파워 200~2000W로 하여 비아홀을 제외한 나머지 영역의 포토레지스트를 제거하는 공정으로 이루어질 수 있다.

<19> 또는, 상기 비아홀에 포토레지스트가 리플로우되면서 충전되도록 하는 단계는 시간 10~40초, 온도 150~300℃, 압력 0.5~5Torr, O<sub>2</sub> 주입량 500~10000(ions/cm<sup>2</sup>), N<sub>2</sub> 주입량 0~1000(ions/cm<sup>2</sup>), 파워 200~2000W로 하여 비아홀에 포토레지스트가 리플로우되어 충전되는 단계일 수도 있다.

- <20>       상기와 같이 하여 본 발명에 의한 반도체 제조 공정중 듀얼 다마신 패턴 형성 방법에 의하면, 비아홀을 형성한 후, 비아홀의 마스크인 포토레지스트를 에칭 장비에서 완전히 제거하기 전에 포토레지스트의 리플로우 현상을 이용하여 상기 비아홀에 충전시킴으로써, 반도체 제조 공정수를 대폭 단축시킬 수 있는 장점이 있다.
- <21>       또한, 에칭 장비에서 포토레지스트가 자연스럽게 리플로우되어 비아홀에 충전됨으로써, 상기 충전된 포토레지스트에 보이드가 없고, 완전하게 충전되는 장점도 있다.
- <22>       이하 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.
- <23>       도2a 및 도2b를 참조하면, 본 발명에 의한 반도체 제조 공정중 듀얼 다마신 패턴 형성 방법이 순차적으로 도시되어 있다.
- <24>       도시된 바와 같이 본 발명에 의한 반도체 제조 공정중 듀얼 다마신 패턴 형성 방법은 반도체(10)의 상면에 포토레지스트(16)를 도포하는 단계와(S1), 상기 반도체(10)에 비아홀(18)을 형성하고, 포토레지스트(16)를 충전하는 단계와(S2\_1-S2\_3), 트렌치(19) 형성을 위한 포토레지스트(26) 도포 단계와(S3), 트렌치(19) 형성 단계와(S4), 상기 포토레지스트(26) 제거 단계(S5)로 이루어져 있다.



- <25> 먼저 상기 포토레지스트(16) 도포 단계(S1)는 구리층(11), 질화막(12), 배선간 절연막(13), 질화막(14) 및 배선간 절연막(15)이 순차적으로 형성된 반도체(10)를 준비하고, 상기 반도체(10)의 상면에 마스크 역할을 하도록 일정크기의 윈도우(17)를 갖는 포토레지스트(16)를 도포한다.
- <26> 이어서, 상기 포토레지스트(16) 충전 단계(S2\_1-S2\_3)는 상기 반도체(10)를 건식 또는 습식 식각 공정에 의해 상기 포토레지스트(16)의 윈도우(17)와 대응되는 영역에 상기 질화막(12)까지 비아홀(18)을 형성하고, 이어서 고온의 에칭 공정을 수행하여 상기 포토레지스트(16)가 리플로우되면서 상기 비아홀(18)에 충전되도록 하고, 이어서 비아홀(18) 내측의 포토레지스트(16)를 제외한 나머지 포토레지스트(16)를 에칭하여 제거한다.
- <27> 일례로, 상기 포토레지스트(16) 충전 단계는 시간 3~20초, 온도 150~300℃, 압력 0.5~5Torr, O<sub>2</sub> 주입량 500~10000(ions/cm<sup>2</sup>), N<sub>2</sub> 주입량 0~1000(ions/cm<sup>2</sup>), 파워 200~2000W로 하여 비아홀(18) 형성시 발생한 폴리머를 제거하는 공정과, 시간 10~200초, 온도 150~300℃, 압력 0.5~5Torr, O<sub>2</sub> 주입량 500~10000(ions/cm<sup>2</sup>), N<sub>2</sub> 주입량 0~1000(ions/cm<sup>2</sup>), 파워 0W로 하여 비아홀(18)에 포토레지스트(16)가 리플로우되어 충전되도록 하는 공정(S2\_1)과, 시간 5~20초, 온도 150~300℃, 압력 0.5~5Torr, O<sub>2</sub> 주입량 500~10000(ions/cm<sup>2</sup>), N<sub>2</sub> 주입량 0~1000(ions/cm<sup>2</sup>), 파워 200~2000W로 하여 비아홀(18)을 제외한 나머지 영역의 포토레지스트(16)를 제거하는 공정(S2\_3)으로 이루어질 수 있다.
- <28> 다른 예로는, 시간 10~40초, 온도 150~300℃, 압력 0.5~5Torr, O<sub>2</sub> 주입량 500~10000(ions/cm<sup>2</sup>), N<sub>2</sub> 주입량 0~1000(ions/cm<sup>2</sup>), 파워 200~2000W로 하여 비아홀(18)에 포토레지스트(16)가 리플로우되어 충전되도록 함과 동시에, 이어서 상기 비아홀(18)에 충전된 포토

레지스트(16)를 제외한 나머지 포토레지스트(16)는 제거되도록 할 수도 있다.(S2\_1-S2\_3)

물론, 이러한 공정은 연속적으로 수행된다.

<29> 이어서, 상기 트렌치(19) 형성을 위한 포토레지스트(26) 도포 단계(S3)는 상기 비아홀(18)의 크기보다 큰 크기의 윈도우(27)를 갖도록 마스크 역할을 하는 포토레지스트(26)를 상기 배선간 절연막(15)에 도포한다.

<30> 이어서, 상기 트렌치(19) 형성 단계(S4)는 상기 반도체(10)를 건식 또는 습식 식각 공정 에 의해 상기 포토레지스트(26)의 윈도우(27)와 대응되는 영역에 상기 질화막(14)까지 트렌치(19)가 형성되도록 한다.

<31> 이어서, 상기 포토레지스트(26) 제거 단계(S5)는 상기 트렌치(19)의 외주연에 형성된 포토레지스트(26)를 고온의 에칭 공정으로 제거함으로써, 본 발명에 의한 반도체 제조 공정중 듀얼 다마신 패턴 형성 방법이 완료된다.

<32> 이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만, 본 발명은 이것으로만 한정되는 것은 아니며, 본 발명의 범주와 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능할 것이다.

#### 【발명의 효과】

<33> 따라서, 본 발명에 의한 반도체 제조 공정중 듀얼 다마신 패턴 형성 방법에 의하면, 비아홀을 형성한 후, 비아홀의 마스크인 포토레지스트를 에칭 장비에서 완전히 제거하기 전에 포토레지스트의 리플로우 현상을 이용하여 상기 비아홀에 상기 포토레지스트를 충전시킴으로써, 반도체 제조 공정수를 대폭 단축시킬 수 있고, 또한 오염 확률도 줄일 수 있는 효과가 있다.

<34> 또한, 예심 장비에서 포토레지스트가 자연스럽게 리플로우되어 비아홀에 충전됨으로써, 상기 충전된 포토레지스트에 보이드가 없고, 완전하게 충전되는 효과도 있다.

**【특허청구범위】****【청구항 1】**

구리층, 질화막, 배선간 절연막, 질화막 및 배선간 절연막이 순차적으로 형성된 반도체의 상면에 마스크 역할을 하도록 일정크기의 윈도우를 갖는 포토레지스트를 도포하는 단계;

상기 반도체를 건식 또는 습식 식각 공정에 의해 상기 포토레지스트의 윈도우와 대응되는 영역에 상기 질화막까지 비아홀을 형성하고, 이어서 고온의 에칭 공정을 수행하여 상기 포토레지스트가 리플로우되면서 상기 비아홀에 충전되도록 하고, 이어서 비아홀 내측의 포토레지스트를 제외한 나머지 포토레지스트를 제거하는 단계;

상기 비아홀의 크기보다 큰 크기의 윈도우를 갖도록 마스크 역할을 하는 포토레지스트를 상기 배선간 절연막에 도포하는 단계;

상기 반도체를 건식 또는 습식 식각 공정에 의해 상기 포토레지스트의 윈도우와 대응되는 영역에 상기 질화막까지 트렌치를 형성하는 트렌치 식각 단계; 및,

상기 포토레지스트를 제거하는 단계를 포함하여 이루어진 반도체 제조 공정중 듀얼 다마신 패턴 형성 방법.

**【청구항 2】**

제1항에 있어서, 상기 비아홀에 포토레지스트가 리플로우되면서 충전되도록 하는 단계는 시간 3~20초, 온도 150~300℃, 압력 0.5~5Torr, O<sub>2</sub> 주입량 500~10000(ions/cm<sup>2</sup>), N<sub>2</sub> 주입량 0~1000(ions/cm<sup>2</sup>), 파워 200~2000W로 하여 비아홀 형성시 발생한 폴리머를 제거하는 공정과,

시간 10~200초, 온도 150~300℃, 압력 0.5~5Torr, O<sub>2</sub> 주입량 500~10000(ions/cm<sup>2</sup>), N<sub>2</sub> 주입량 0~1000(ions/cm<sup>2</sup>), 파워 0W로 하여 비아홀에 포토레지스트가 리플로우되어 충전되도록 하는 공정과,

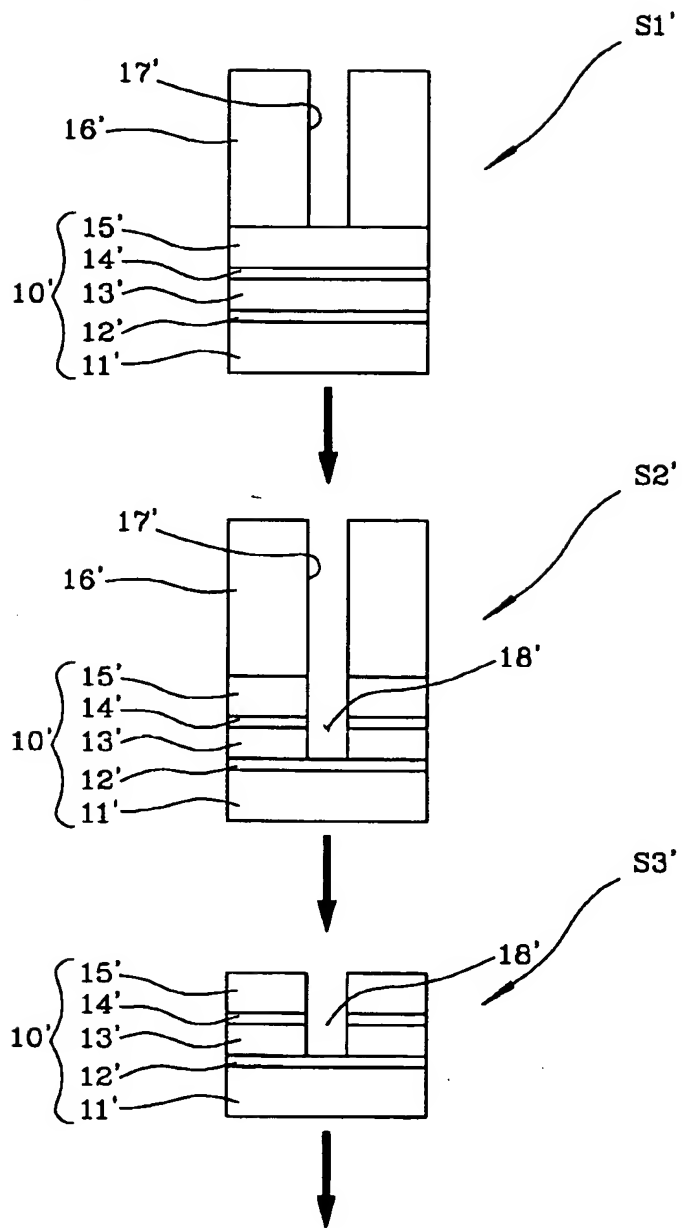
시간 5~20초, 온도 150~300℃, 압력 0.5~5Torr, O<sub>2</sub> 주입량 500~10000(ions/cm<sup>2</sup>), N<sub>2</sub> 주입량 0~1000(ions/cm<sup>2</sup>), 파워 200~2000W로 하여 비아홀을 제외한 나머지 영역의 포토레지스트를 제거하는 공정인 것을 특징으로 하는 반도체 제조 공정중 듀얼 다마신 패턴 형성 방법.

### 【청구항 3】

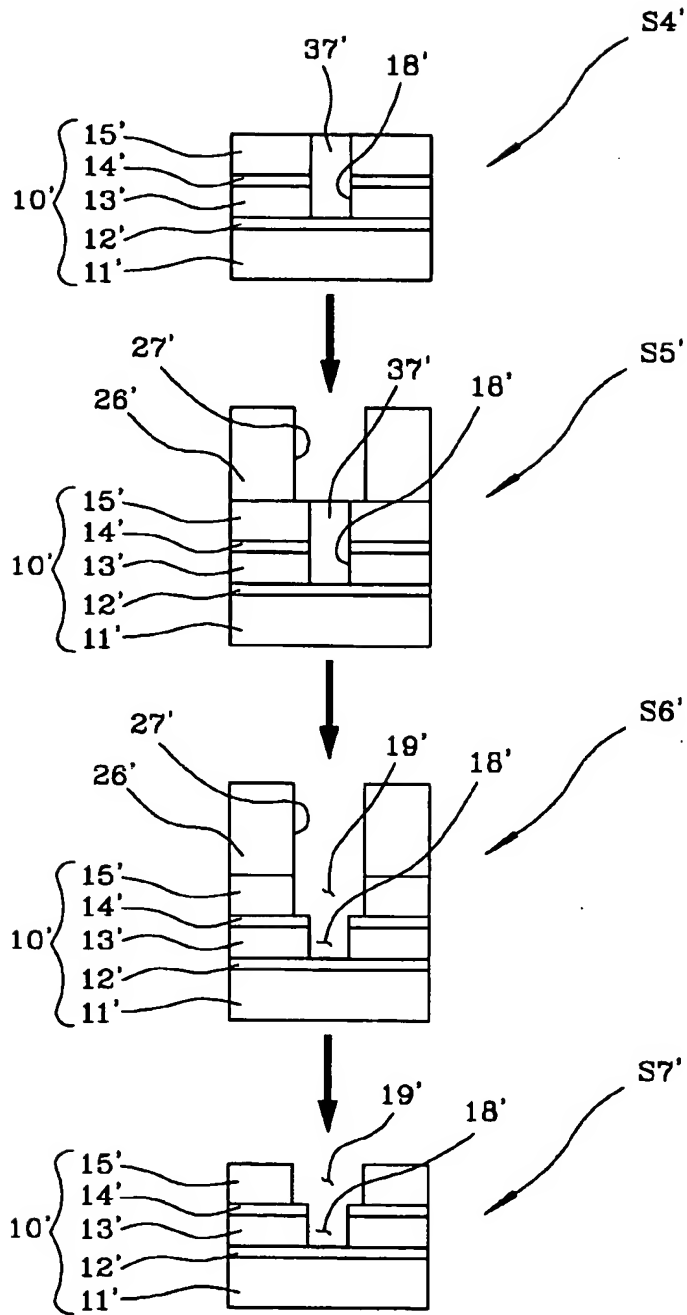
제1항에 있어서, 상기 비아홀에 포토레지스트가 리플로우되면서 충전되도록 하는 단계는 시간 10~40초, 온도 150~300℃, 압력 0.5~5Torr, O<sub>2</sub> 주입량 500~10000(ions/cm<sup>2</sup>), N<sub>2</sub> 주입량 0~1000(ions/cm<sup>2</sup>), 파워 200~2000W로 하여 비아홀에 포토레지스트가 리플로우되어 충전되도록 함을 특징으로 하는 반도체 제조 공정중 듀얼 다마신 패턴 형성 방법.

【도면】

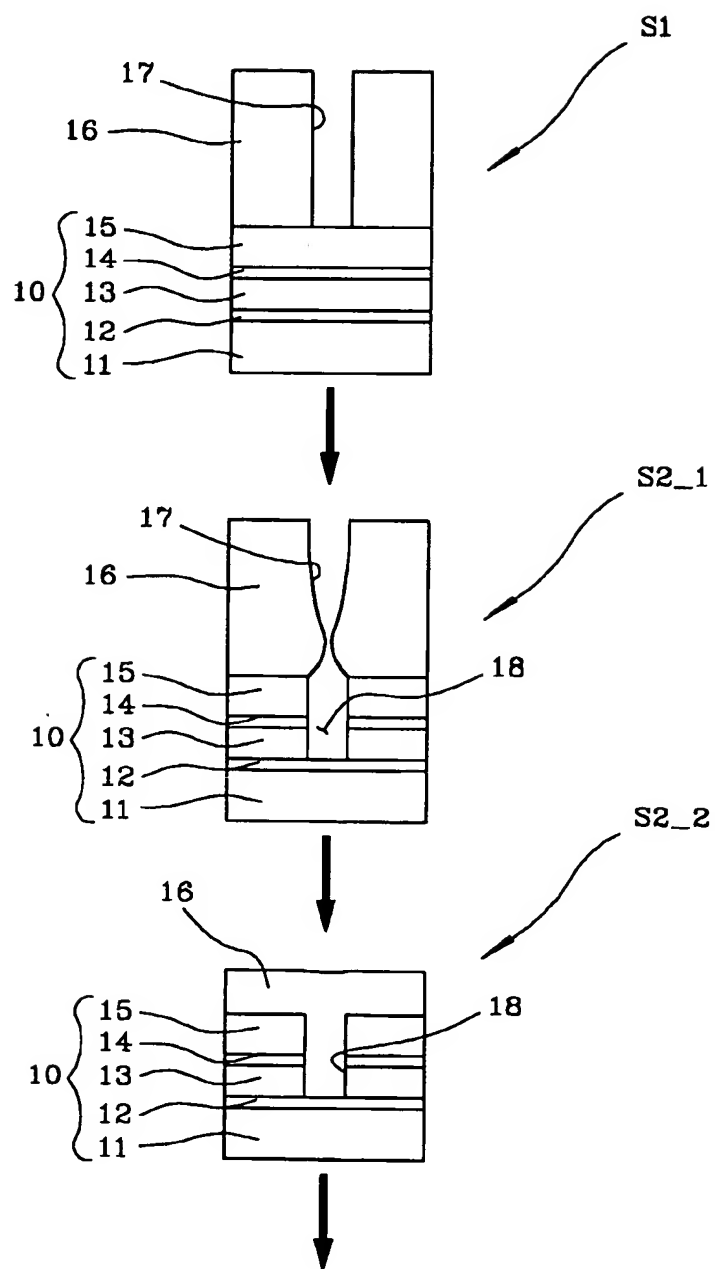
【도 1a】



【도 1b】



【도 2a】





【도 2b】

